



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02074074 A**(43) Date of publication of application: **14.03.90**

(51) Int. Cl.

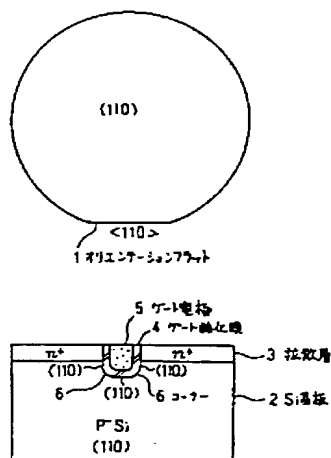
**H01L 29/784**  
**H01L 29/04**
(21) Application number: **63225717**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **09.09.88**(72) Inventor: **IWAMATSU SEIICHI**(54) **SEMICONDUCTOR SUBSTRATE**

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To enable the difference between the side wall threshold voltage of a trench/gate section and the threshold voltage of a corner section of a trench/gate field effect transistor to be small by a method wherein the plane orientation of the surface of a semiconductor substrate is made to be (110) and the crystal orientation of an orientation flat is made to be  $\langle 110 \rangle$ .

**CONSTITUTION:** An orientation flat 1 of a Si wafer possessed of a (110) crystal plane is made to have a  $\langle 110 \rangle$  crystal orientation. A diffusion layer 3 is formed on the surface of a Si substrate 2, a gate oxide film 4 and a gate electrode 5 are formed inside a trench which is to serve as a trench/gate section, the side wall of the trench/gate section has a (110) crystal plane, and a corner section 6 has a wide crystal plane ranging from (100) to (111). By this setup, the threshold voltage of the corner section of a trench/gate of a trench/gate field effect transistor can be made to be a voltage which fluctuates up and down slightly about a threshold voltage of a (110) plane as a center.



**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-74074

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月14日

H 01 L 29/784  
29/04

8526-5F  
8422-5F  
8422-5F

H 01 L 29/78

3 0 1 Q  
V

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 半導体基板

⑮ 特 願 昭63-225717

⑯ 出 願 昭63(1988)9月9日

⑰ 発 明 者 岩 松 誠 一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 上柳 雅 菅 外1名

明 細 書

1. 発明の名称

半導体基板

2. 特許請求の範囲

半導体基板表面の面方位を(110)となし、  
且つ、オリエンテーション・フラットの結晶方位  
を<110>となす事を特徴とする半導体基板。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体単結晶基板の基板面方位とオリエンテーション・フラット結晶方位に関する。

[従来の技術]

従来、Siを代表とする半導体単結晶基板の基板面方位は(100)が主として用いられ、オリエンテーション・フラット結晶方位は<110>が用いられるのが通例であった。

[発明が解決しようとする課題]

しかし、上記従来技術によると、トレンチ・ゲート電界効果トランジスタを製作する場合に、トレンチ・ゲート部の側壁のしきい値電圧とコーナ一部(角部)のしきい値電圧とが大巾に異なると云う課題があった。

本発明は、かかる従来技術の課題を解決し、トレンチ・ゲート電界効果トランジスタのトレンチ・ゲート部の側壁のしきい値電圧とコーナ一部(角部)のしきい値電圧との差異を小巾にとどめる半導体基板の結晶面方位とオリエンテーション・フラット結晶方位とを提供する事を目的とする。

[課題を解決するための手段]

上記課題を解決するために、本発明は、半導体基板に関し、半導体基板表面の面方位を(110)となし、且つオリエンテーション・フラットの結晶方位を<110>となす手段をとる。

[実施例]

以下、実施例により本発明を詳述する。

第1図は本発明の実施例を示すSiウェーハの表面図であり、(110)結晶面を有するSiウ

## 特開平2-74074(2)

ウェーハのオリエンテーション・フラット1を<110>結晶方位となした状態を示している。

第2図は本発明の応用例を示すトレンチ・ゲートMOS FETの要部の断面図である。すなわち、Si基板2の表面には拡散層3及びトレンチ・ゲート部となるトレンチ内にゲート酸化膜4及びゲート電極5を形成して成り、該トレンチ・ゲートの側壁は(110)となるが、コーナー6部は、(100)から(110)を経て、(111)迄広い結晶面を取る事を示している。

## 〔発明の効果〕

本発明の如く、半導体基板の結晶面方位を(110)となし、オリエンテーション・フラットを<110>方向となす事により、トレンチ・ゲート電界効果トランジスタのトレンチ・ゲートのコーナー部のしきい値電圧を(110)面でのしきい値電圧を中心に、上・下に、小巾に変動したしきい値と電圧となす事ができる効果がある。

## 4. 図面の簡単な説明

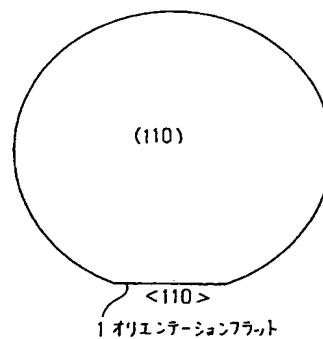
第1図は本発明の実施例を示すSiウェーハの平面図、第2図は本発明の一応用例を示すトレンチ・ゲートMOS FETの要部の断面図である。

- 1・・・オリエンテーション・フラット
- 2・・・Si基板
- 3・・・拡散層
- 4・・・ゲート酸化膜
- 5・・・ゲート電極
- 6・・・コーナー

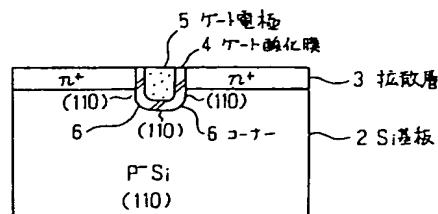
以上

出願人 セイコーエプソン株式会社

代理人 弁理士 上 柳 雅 誓(他1名)



第1図



第2図